

MODULARIO
I.C.A. - 101



MINISTERO DELL'INDUSTRIA, DEL COMMERCIO E DELL'ARTIGIANATO
DIREZIONE GENERALE DELLA PRODUZIONE INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI



Autenticazione di copia di documenti relativi alla domanda di brevetto per Invenzione Industriale

N. **TO99 A 001056**

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito*

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

ma, il **29 NOV 2000**

IL DIRETTORE DELLA DIVISIONE

ING. DI CARLO
[Signature]



MINISTERO DELL'INDUSTRIA, DEL COMMERCIO E DELL'ARTIGIANATO

DIREZIONE GENERALE DELLA PRODUZIONE INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI



Autenticazione di copia di documenti relativi alla domanda di brevetto per Invenzione Industriale

N. ~~TO99-A~~ 001056

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito*

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Roma, li 29 NOV 2000

IL DIRETTORE DELLA DIVISIONE

Ing. DI CARLO

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

marca
da
bollo

A. RICHIEDENTE (1)

STIMICROELECTRONICS S.R.L.

1) Denominazione

AGRATE BRIANZA (MI)

codice

00951900968

Residenza

2) Denominazione

Residenza

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome CERBARO Elena e altri

cod. fiscale

denominazione studio di appartenenza

STUDIO TORTA S.r.l.

via

Viotti

n.

0009

città

TORINO

cap

10121

(prov)

TO

C. DOMICILIO ELETTIVO destinatario

via

n.

città

cap

(prov)

D. TITOLO

classe proposta (sez/cl/act)

gruppo/sottogruppo

CIRCUITO DI CALCOLO DELLE OPERAZIONI LOGICHE DI UNIONE ED INTERSEZIONE FUZZY.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☐

SE ISTANZA: DATA

N° PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) PAPPALARDO Francesco

3) MAMMOLITI Francesco

2) GIACALONE Biagio

4) GANGI Edmondo

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
SR

SCIoglimento RISERVE

Data

N° Protocollo

1) ☐

2) ☐

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

Al. es.

Doc. 1) ☐ 2 ☐ PROV n. pag. 116 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) —
Doc. 2) ☐ 2 ☐ PROV n. tav. 101 disegno (obbligatorio se citato in descrizione, 1 esemplare) —
Doc. 3) ☐ 1 ☐ RIS lettera d'incarico, procura o riferimento procura generale —
Doc. 4) ☐ 1 ☐ RIS designazione inventore —
Doc. 5) ☐ ☐ RIS documenti di priorità con traduzione in italiano —
Doc. 6) ☐ ☐ RIS autorizzazione o atto di cessione —
Doc. 7) ☐ nominativo completo del richiedente

8) attestati di versamento, totale lire

Trecentosessantacinquemila-

obbligatorio

COMPILATO IL 30/11/1999 FIRMA DEL (1) RICHIEDENTE (1)

CONTINUA SINO ☐ NO

CERBARO Elena

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO ☐ SI

SCIoglimento RISERVE

Data

N° Protocollo

UFFICIO PROVINCIALE REG. COMM. ART. DI

TORINO

VENALE DI DEPOSITO

NUMERO DI DOMANDA

1099A 001056

Reg. A

codice 101

L'anno millenovecento

novantanove

il giorno

trenta

del mese di

Novembre

Il (1) richiedente (1) sopraindicato (1) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. (1) (più) aggiuntivi per la concessione del brevetto soprariportato.

L. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

STIMICROELECTRONICS S.R.L.

Andrea CERBARO

L'UFFICIALE ROGANTE

V QUALIFICA FUNZIONALE

NUMERO DOMANDA

928 030

REG. A. 6

DATA DI DEPOSITO

30.11.1999

NUMERO BREVETTO

DATA DI RILASCIO

/ / /

A. RICHIEDENTE (I)

STMICROELECTRONICS S.R.L.

Denominazione

AGRATE BRIANZA (MI)

Residenza

B. TITOLO

CIRCUITO DI CALCOLO DELLE OPERAZIONI LOGICHE DI UNIONE ED
INTERSEZIONE FUZZY.

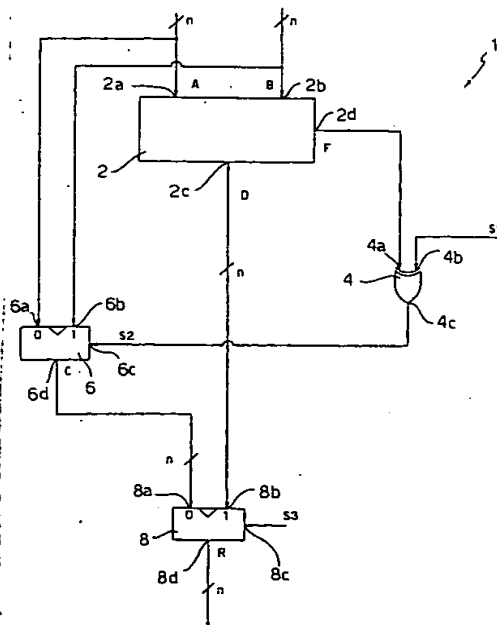
Classe proposta (sez./cl./sc./)

(gruppo/sottogruppo)

L. RIASSUNTO

Il circuito di calcolo (1) comprende un sottrattore (2) aventi un primo ed un secondo ingresso (2a, 2b) riceventi un primo e, rispettivamente, un secondo dato di ingresso (A, B); una prima uscita (2c) fornente un primo dato di uscita (D) pari alla differenza fra il primo e il secondo dato di ingresso (A, B); ed una seconda uscita (2d) fornente un flag di segno (F) indicativo del segno del primo dato di uscita (D); una porta logica EXOR (4) avente un primo ingresso (4a) ricevente il flag di segno (F), un secondo ingresso (4b) ricevente un primo segnale di selezione (S1) di tipo logico assumente un primo livello per la selezione dell'operazione logica di unione fuzzy ed un secondo livello per la selezione dell'operazione logica di intersezione fuzzy; ed una uscita (4c) fornente un secondo segnale di selezione (S2); ed un multiplexer (6) avente un primo ed un secondo ingresso di dato (6a, 6b) ricevente il primo e, rispettivamente, il secondo dato di ingresso (A, B); un ingresso di selezione (6c) ricevente il secondo segnale di selezione (S2); ed una uscita (6d) fornente un secondo dato di uscita (C) costituito dal primo o dal secondo dato di ingresso (A, B) in funzione del livello assunto dal secondo segnale di selezione (S2).

M. DISEGNO



D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: PAPPALARDO Francesco, GIACALONE Biagio,

MAMMOLITI Francesco, GANGI Edmondo

*** *****

1099A 001056

La presente invenzione è relativa ad un circuito di calcolo delle operazioni logiche di unione ed intersezione fuzzy.

Come è noto, nella logica fuzzy l'implementazione delle cosiddette regole di inferenza richiede l'esecuzione di operazioni logiche di intersezione e di unione di due o più dati (dati) costituiti dai valori assunti dalle grandezze prese in considerazione dalle regole di inferenza, in cui l'operazione di unione richiede la determinazione del maggiore fra i dati mentre l'operazione di intersezione richiede la determinazione del minore fra i dati stessi.

Attualmente, nella maggior parte dei sistemi operanti con logica fuzzy, le operazioni logiche di unione ed intersezione fuzzy vengono effettuate o utilizzando circuiti di calcolo dedicati oppure circuiti di calcolo misti in grado di calcolare sia regole non fuzzy che re-

CERBARO Elena
(iscrizione Albo nr 426/BM)

gole fuzzy, utilizzanti però sempre circuiti di calcolo dedicati al calcolo delle operazioni di intersezione ed unione.

Scopo della presente invenzione è quello di realizzare un circuito di calcolo delle operazioni logiche di unione ed intersezione fuzzy che sia semplice e che utilizzi una architettura classica comunemente dedicata al calcolo di operazioni aritmetico-logiche.

Secondo la presente invenzione viene realizzato un circuito di calcolo delle operazioni logiche di unione ed intersezione fuzzy, come definito nella rivendicazione 1.

Per una migliore comprensione della presente invenzione viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo e con riferimento alla figura allegata, nella quale è mostrato un circuito di calcolo delle operazioni logiche fuzzy di unione ed intersezione realizzato secondo la presente invenzione.

Secondo quanto illustrato nella figura allegata, il circuito di calcolo, indicato nel suo insieme con 1, comprende un sottrattore 2 avente un primo ed un secondo ingresso 2a, 2b ricevanti un primo e, rispettivamente, un secondo dato di ingresso A, B aventi una rappresentazione binaria e formati, ciascuno, da n bit, una prima

CERBARO Elena
(iscrizione Albo nr 426/BW)

uscita 2c fornente un primo dato di uscita D, avente anch'esso una rappresentazione binaria e formato da n bit, pari alla differenza binaria fra il primo ed il secondo dato di ingresso A, B, ossia $D=A-B$, ed una seconda uscita 2d fornente un flag di segno F, avente anch'esso una rappresentazione binaria e formato da un solo bit, rappresentativo del segno del primo dato di uscita D, ad esempio $F=0$ se $A \geq B$ e $F=1$ se $A < B$.

Il circuito di calcolo 1 comprende inoltre una porta logica EXOR 4 avente un primo ingresso 4a collegato alla seconda uscita 2d del sottrattore 2 e ricevente il flag di segno F, un secondo ingresso 4b ricevente un primo segnale di selezione S1 di tipo logico ed una uscita 4c fornente un secondo segnale di selezione S2 anch'esso di tipo logico ottenuto effettuando l'operazione di OR ESCLUSIVO (o di verifica identità) fra il flag di segno F ed il livello del primo segnale di selezione S1, secondo la nota relazione

$$S2 = F \cdot \overline{S1} + \overline{F} \cdot S1$$

In particolare, il primo segnale di selezione S1 assume un primo livello logico, ad esempio un livello logico basso, quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di unione fuzzy ed un secondo livello logico, nell'esempio considerato un livello logico alto, quando si vuole che il circuito di cal-

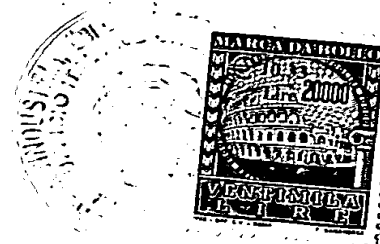
CERBARO Elena
(iscrizione Albo nr 426/BM)

colo 1 effettui l'operazione logica di intersezione fuzzy, mentre il secondo segnale di selezione S2 assume, nell'esempio considerato, un livello logico basso quando il flag di segno F ed il primo segnale di selezione assumono valori logici uguali mentre assume un livello logico alto quando il flag di segno F ed il primo segnale di selezione assumono valori logici differenti.

Il circuito di calcolo 1 comprende inoltre un primo multiplexer 6 avente un primo ed un secondo ingresso di dato 6a, 6b ricevuti il primo e, rispettivamente, il secondo dato di ingresso A, B, un ingresso di selezione 6c collegato all'uscita 4c della porta logica EXOR 4 e ricevente il secondo segnale di selezione S2, ed una uscita 6d sulla quale fornisce un secondo dato di uscita C costituito dal primo dato di ingresso A quando il secondo segnale di selezione S2 assume un primo livello logico, ad esempio un livello logico basso, e dal secondo dato di ingresso B quando il secondo segnale di selezione S2 assume un secondo livello logico, nell'esempio considerato un livello logico alto.

Il circuito di calcolo 1 comprende infine un secondo multiplexer 8 avente un primo ingresso di dato 8a collegato all'uscita 6d del primo multiplexer 6 e ricevente il secondo dato di uscita C, un secondo ingresso di dato 8b collegato all'uscita 2c del sottrattore 2 e

CERBARO Elena
[iscrizione Albo nr 426/BM]



ricevente il primo dato di uscita D, un ingresso di selezione 8c ricevente un terzo segnale di selezione S3 di tipo logico ed una uscita 8d sulla quale fornisce un terzo dato di uscita R costituito dal secondo dato di uscita C presente sull'uscita del primo multiplexer 6

quando il terzo segnale di selezione S3 assume un primo livello logico, ad esempio un livello logico basso, e dal primo dato di uscita D presente sull'uscita del sottrattore 2 quando il terzo segnale di selezione S3 assume un secondo livello logico, nell'esempio considerato un livello logico alto.

In particolare, il terzo segnale di selezione S3 assume il primo livello logico, ad esempio un livello logico basso, quando si desidera operare in logica fuzzy, ossia quando si vuole che il circuito di calcolo 1 effettui le operazioni logiche di unione ed intersezione fuzzy; ed il secondo livello logico, nell'esempio considerato un livello logico alto, quando si desidera operare in logica binaria convenzionale, ossia quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di sottrazione binaria tradizionale.

Il funzionamento del circuito di calcolo 1 secondo la presente invenzione è il seguente.

Quando il terzo segnale di selezione S3 assume un livello logico alto, l'uscita 8d del secondo multiplexer

8 risulta collegata al secondo ingresso di dati 8b del secondo multiplexer 8 stesso, sulla quale è presente il primo dato di uscita D, pari alla differenza fra gli dati di ingresso A e B, fornito dal sottrattore 2. In questa condizione, il circuito di calcolo 1 opera quindi come circuito sottrattore effettuante una operazione di sottrazione in logica binaria convenzionale.

Quando invece il terzo segnale di selezione S3 assume un livello logico basso, l'uscita 8d del secondo multiplexer 8 risulta collegata al primo ingresso di dati 8a del secondo multiplexer 8 stesso, sulla quale è presente o il primo o il secondo dato di ingresso A o B che, a seconda del livello logico del secondo segnale di selezione S2, è a sua volta presente sull'uscita 6d del primo multiplexer 6. In questa condizione, pertanto, il circuito di calcolo 1 opera come circuito di selezione del maggiore o del minore dei due dati di ingresso A e B e quindi come circuito di calcolo delle operazioni logiche fuzzy di unione ed intersezione.

In particolare, quando il primo segnale di selezione S1 assume un livello logico basso, allora il circuito di calcolo 1 esegue l'operazione di unione fuzzy, mentre quando il primo segnale di selezione S1 assume un livello logico alto, allora il circuito di calcolo 1 esegue l'operazione di intersezione fuzzy.

CERBARO Elena
(iscrizione Albo nr 426/BM)

Infatti, quando il primo segnale di selezione S1 assume un livello logico basso, se il flag di segno F assume il valore logico "0", indicativo che il primo dato di ingresso A è maggiore del secondo dato di ingresso B, allora il secondo segnale di selezione S2 assume un valore logico basso e quindi l'uscita 6d del primo multiplexer 6 risulta collegata al primo ingresso di dato 6a del primo multiplexer 6, sulla quale è presente proprio il primo dato di ingresso A, mentre se il flag di segno F assume il valore logico "1", indicativo che il secondo dato di ingresso B è maggiore del primo dato di ingresso A, allora il secondo segnale di selezione S2 assume un valore logico alto e quindi l'uscita 6d del primo multiplexer 6 risulta collegata al secondo ingresso di dato 6b del primo multiplexer 6 stesso, sulla quale è presente proprio il secondo dato di ingresso B.

Pertanto, nel presente circuito di calcolo 1 la determinazione del maggiore e del minore dei due dati A e B viene effettuata eseguendo una operazione di sottrazione mediante il sottrattore 2, una operazione di verifica identità effettuata, mediante la porta logica EXOR 4, fra il segno del risultato D dell'operazione di sottrazione ed il livello logico del primo segnale di selezione S1 ed una operazione di selezione effettuata, mediante il primo multiplexer 6, fra i due dati di ingres-

CERBARO Elena
[iscrizione Albo nr 426/BM]

so A e B in funzione del risultato dell'operazione di verifica identità rappresentato dal secondo segnale di selezione S2 fornito appunto in uscita alla porta logica EXOR.

Da un esame delle caratteristiche del circuito di calcolo realizzato secondo la presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

In particolare, il presente circuito di calcolo 1 presenta una architettura estremamente semplice formata da componenti (un sottrattore, una porta logica EXOR e due multiplexer) comunemente presenti nelle architetture classiche dedicate al calcolo di operazioni aritmetico-logiche e quindi può essere implementato in modo semplice in qualsiasi dispositivo digitale o in un microcontrollore dotato di una comune unità aritmetico logica (ALU), sfruttando il sottrattore dell'ALU già esistente ed aggiungendo semplicemente una porta logica EXOR e due multiplexer.

Inoltre, l'estrema semplicità dell'architettura del presente circuito di calcolo permette una evidente riduzione, rispetto ai circuiti di calcolo noti, del numero di istruzioni di programma necessarie per determinare il maggiore ed il minore di due dati e quindi un notevole risparmio di spazio di memoria occupato dal programma.

Inoltre, nel presente circuito di calcolo il risul-

CERBARO Elena
Iscrizione Albo nr 426/BAW



tato di una operazione di unione o di intersezione fuzzy è disponibile in uscita dopo un solo ciclo di clock in quanto da un lato non è richiesta l'esecuzione di alcun tipo di routine di salto condizionato o di ricaricamento di dati in un registro, operazioni che, come è noto, richiedono per la loro esecuzione più cicli di clock, ed dall'altro l'unica operazione sincrona è quella di sottrazione mentre tutte le altre sono asincrone e quindi la loro esecuzione non comporta alcun aumento del tempo di elaborazione rispetto ad una comune operazione di sottrazione.

Si sottolinea inoltre il fatto che il circuito di calcolo 1, come struttura di calcolo delle operazioni di unione ed intersezione fuzzy, funziona anche senza il secondo multiplexer 8, il quale è infatti indispensabile nel caso in cui: a) il circuito di calcolo 1 viene implementato su di una unità aritmetico logica (ALU) utilizzando il sottrattore dell'unità aritmetico logica stessa; in questo caso, infatti, si deve garantire anche il funzionamento del sottrattore come tale; e b) la struttura di calcolo formata dal sottrattore 2, dalla porta logica EXOR 4 e dal primo multiplexer 6 si vuole utilizzare anche come semplice sottrattore.

Risulta infine chiaro che al circuito di calcolo qui descritto ed illustrato possono essere apportate mo-

difiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione.

Ad esempio, i valori logici assunti dal flag di segno F quando $A \geq B$ e $A < B$ potrebbero essere opposti rispetto a quelli descritti, ossia essere $F=1$ se $A \geq B$ e $F=0$ se $A < B$, così come il sottrattore 2 potrebbe effettuare un'operazione di sottrazione opposta a quella illustrata, ossia calcolare $D=B-A$, ed anche in questo caso potrebbe essere $F=1$ se $B \geq A$ e $F=0$ se $B < A$ oppure $F=0$ se $B \geq A$ e $F=1$ se $B < A$.

In particolare, se si utilizza un sottrattore che esegue l'operazione $D=A-B$ e fornisce in uscita un flag di segno che vale $F=1$ se $A \geq B$ e $F=0$ se $A < B$, allora il primo segnale di selezione S1 dovrà assumere un livello logico alto quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di unione fuzzy ed un livello logico basso quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di intersezione fuzzy.

Se si utilizza invece un sottrattore che esegue l'operazione $D=B-A$, allora se il flag di segno F fornito vale $F=1$ se $B \geq A$ e $F=0$ se $B < A$, allora il primo segnale di selezione S1 dovrà assumere un livello logico basso quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di unione fuzzy ed un livello logico

CERBARO Elena
Iscrizione Albo nr 426/BM

alto quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di intersezione fuzzy, mentre se il flag di segno F fornito vale $F=0$ se $B \geq A$ e $F=1$ se $B < A$, allora il primo segnale di selezione S1 dovrà assumere un livello logico alto quando si vuole che il circuito

di calcolo 1 effettui l'operazione logica di unione fuzzy ed un livello logico basso quando si vuole che il circuito di calcolo 1 effettui l'operazione logica di intersezione fuzzy.

Inoltre, la porta logica EXOR potrebbe essere sostituita con una porta logica EXNOR, così come potrebbero essere scambiati fra loro gli ingressi dei due multiplexer 6, 8; in entrambi i casi, i livelli logici del primo segnale di selezione S1 dovranno essere modificati conseguentemente.

In generale, quindi, qualsiasi variazione dell'operazione eseguita dal sottrattore 2 e del valore logico assunto dal flag di segno F in funzione della relazione esistente fra gli dati di ingresso A e B e qualsiasi scambio effettuato sugli ingressi dei multiplexer 6, 8 si traduce semplicemente nella riconfigurazione dei valori logici assunti dal primo segnale di selezione S1 senza alcuna modifica della struttura circuitale (hardware) del circuito di calcolo.

Infine, nel caso di calcolo di operazioni logiche

CERBARO Elena
Iscrizione Albo n° 426/BW

fuzzy di unione ed intersezione da eseguire su tre o più dati è sufficiente prevedere più circuiti di calcolo del tipo sopra descritto disposti fra loro in cascata, in cui, a parte il primo circuito che esegue il calcolo su due qualsiasi degli dati di ingresso, nei circuiti di calcolo in cascata uno dei due dati ad esso fornito all'ingresso è il dato fornito in uscita dal circuito di calcolo precedente.

CERBARO Elena
Iscrizione Albo nr 426/EMJ



R I V E N D I C A Z I O N I

1. Circuito di calcolo (1) delle operazioni logiche di unione ed intersezione fuzzy, caratterizzato dal fatto di comprendere:

- mezzi sottrattori (2) aventi un primo ed un secondo ingresso (2a, 2b) ricevanti un primo e, rispettivamente, un secondo dato di ingresso (A, B); una prima uscita (2c) fornente un primo dato di uscita (D) correlato alla differenza fra detti primo e secondo dato di ingresso (A, B); ed una seconda uscita (2d) fornente un flag di segno (F) indicativo del segno di detto primo dato di uscita (D);

- mezzi di confronto (4) aventi un primo ingresso (4a) ricevente detto flag di segno (F), un secondo ingresso (4b) ricevente un primo segnale di selezione (S1) assumente un primo livello per la selezione di detta operazione logica di unione fuzzy ed un secondo livello per la selezione di detta operazione logica di intersezione fuzzy; ed una uscita (4c) fornente un secondo segnale di selezione (S2) assumente un primo livello quando detto flag di segno (F) e detto primo segnale di selezione (S1) soddisfano una relazione prefissata ed un secondo livello quando detto flag di segno (F) e detto primo segnale di selezione (S1) non soddisfano detta relazione prefissata; e

CERBARO Elena
Iscrizione Albo nr 426/BW

- primi mezzi di selezione dati (6) aventi un primo ed un secondo ingresso di dato (6a, 6b) ricevanti detto primo e, rispettivamente, detto secondo dato di ingresso (A, B); un ingresso di selezione (6c) collegato a detta uscita (4c) di detti mezzi di confronto (4) e ricevente detto secondo segnale di selezione (S2); ed una uscita (6d) fornente un secondo dato di uscita (C) correlato ad uno fra detti primo e secondo dato di ingresso (A, B) in funzione del livello di detto secondo segnale di selezione (S2).

2. Circuito di calcolo secondo la rivendicazione 1, caratterizzato dal fatto di comprendere inoltre:

- secondi mezzi di selezione dati (8) aventi un primo ed un secondo ingresso di dato (8a, 8b) collegati a detta uscita (6d) di detti primi mezzi di selezione dati (6) e, rispettivamente, a detta prima uscita (2c) di detti mezzi sottrattori (2) e ricevanti detto primo e, rispettivamente, detto secondo dato di uscita (C, D); un ingresso di selezione (8c) ricevente un terzo segnale di selezione (S3) assumente un primo livello per la selezione di una modalità operativa in logica fuzzy ed un secondo livello per la selezione di una modalità operativa in logica non fuzzy; ed una uscita (8d) fornente un quarto dato di uscita (M) correlato ad uno fra detti primo e secondo dato di uscita (C, D) in funzione del

CERBARO Elena
(iscrizione Albo nr 426/BM)

livello di detto terzo segnale di selezione (S3).

3. Circuito di calcolo secondo la rivendicazione 1, caratterizzato dal fatto che detti mezzi di confronto comprendono mezzi rilevatori di identità (4) generanti detto secondo segnale di selezione (2) assumente detto primo livello quando detto flag di segno (F) e detto primo segnale di selezione (S1) sono uguali fra loro e detto secondo livello quando detto flag di segno (F) e detto primo segnale di selezione (S1) sono diversi fra loro.

4. Circuito di calcolo secondo la rivendicazione 3, caratterizzato dal fatto che detti mezzi rilevatori di identità comprendono mezzi a porta logica (2).

5. Circuito di calcolo secondo la rivendicazione 4, caratterizzato dal fatto che detti mezzi a porta logica (2) comprendono una porta logica EXOR (2).

6. Circuito di calcolo secondo la rivendicazione 1, caratterizzato dal fatto che detti primi mezzi di selezione dati comprendono primi mezzi multiplexer (6).

7. Circuito di calcolo secondo la rivendicazione 2, caratterizzato dal fatto che detti secondi mezzi di selezione dati comprendono secondi mezzi multiplexer (6).

8. Circuito di calcolo delle operazioni logiche di unione ed intersezione fuzzy, sostanzialmente come descritto con riferimento ai disegni allegati.

p. i.: STMICROELECTRONICS S.R.L.

CERBARO Elena

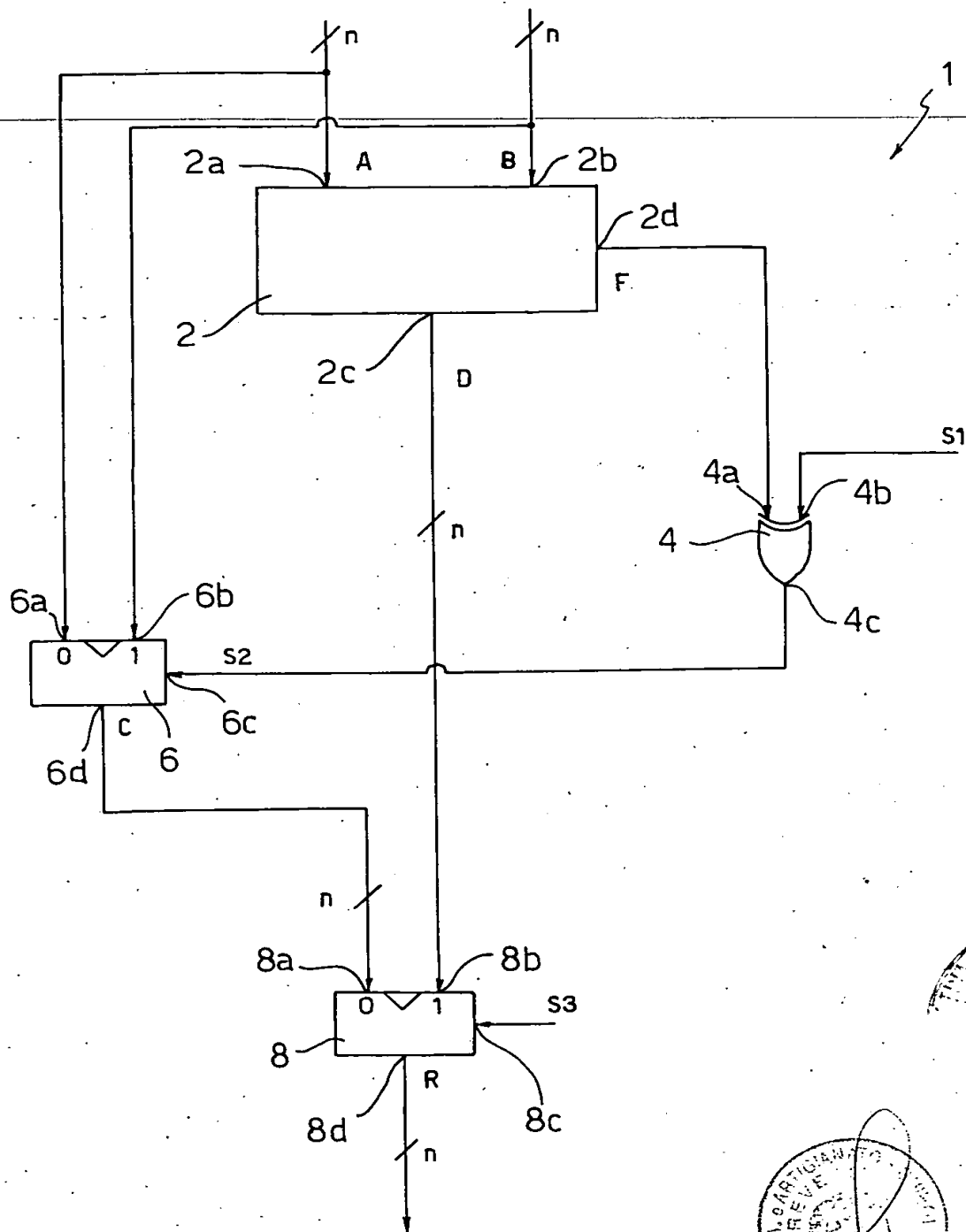
(iscrizione Albo nr. 426/BM)

- 16 -

CERBARO Elena
(iscrizione Albo nr. 426/BM)



099A 001056



p.i.: STMICROELECTRONICS S.R.L.

CERBARO Elena
 Iscrizione Albo nr 426/BM

[Handwritten signature]

